

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-162444  
(43)Date of publication of application : 07.06.2002

(51)Int.Cl. G01R 31/28  
G01R 31/3183  
G06F 12/16  
G06F 15/78  
G11C 29/00  
H01L 27/04  
H01L 21/822

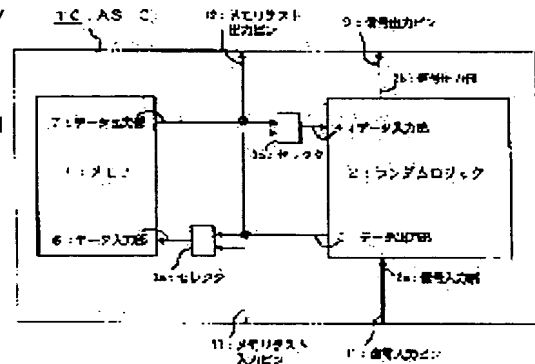
(21)Application number : 2000-356840 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 24.11.2000 (72)Inventor : OKITAKA TAKENORI

## (54) TESTING DEVICE AND TEST METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To properly execute a test of a memory part, in the actually using state of a semiconductor integrated circuit.

**SOLUTION:** In this device for executing the test of the memory part 1, in the semiconductor integrated circuit equipped with the memory part 1 and a logic part 2 operated by receiving an operation signal, for supplying the memory part 1 with a data signal from a data output part 5, and receiving the data signal from the memory part 1 into a data input part 4, a test signal is applied to the memory part 1 separately from the logic part 2; and the operation signal is supplied to the logic part 2 to cause the logic part 2 to be operated.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-162444

(P 2 0 0 2 - 1 6 2 4 4 4 A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G01R 31/28		G06F 12/16	330 A 2G032
31/3183		15/78	510 K 5B018
G06F 12/16	330	G11C 29/00	675 L 5B062
15/78	510	G01R 31/28	V 5F038
G11C 29/00	675		B 5L106

審査請求 未請求 請求項の数14 O L (全14頁) 最終頁に続く

(21) 出願番号 特願2000-356840(P 2000-356840)

(22) 出願日 平成12年11月24日(2000.11.24)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 沖▲たか▼ 毅則

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100088199

弁理士 竹中 岑生 (外3名)

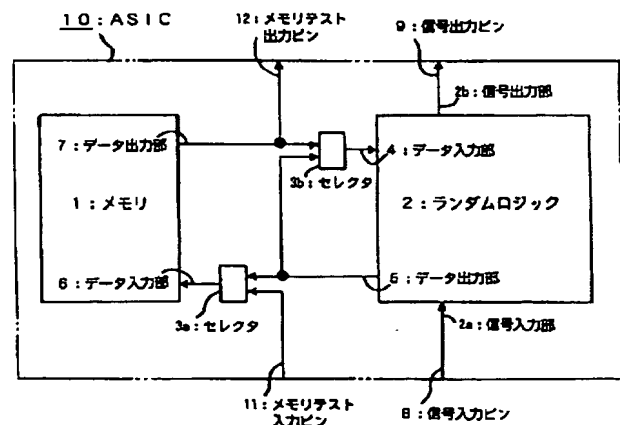
最終頁に続く

(54) 【発明の名称】 半導体集積回路のテスト装置およびテスト方法

(57) 【要約】

【課題】 メモリ部のテストを半導体集積回路の実使用状態で適切に行えるようにする。

【解決手段】 メモリ部1と、動作信号を受けることにより動作しデータ出力部5からデータ信号をメモリ部1に供給するとともにデータ入力部4にメモリ部1からデータ信号を受けるロジック部2とを備えた半導体集積回路についてメモリ部1のテストを行うものにおいて、メモリ部1にロジック部2と分離してテスト信号を印加するとともに、ロジック部2に動作信号を供給しロジック部2を動作させるようにした。



## 【特許請求の範囲】

【請求項 1】 メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるようにしたことを特徴とする半導体集積回路のテスト装置。

【請求項 2】 前記メモリ部へのテスト信号の印加終了に応じて、前記ロジック部への動作信号の供給を停止するようにしたことを特徴とする請求項 1 に記載の半導体集積回路のテスト装置。

【請求項 3】 前記ロジック部の動作状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたことを特徴とする請求項 1 または請求項 2 に記載の半導体集積回路のテスト装置。

【請求項 4】 前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、B I S T 回路により行わせるようにしたことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 5】 前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、互いに独立したB I S T 回路により、それぞれ行わせるようにしたことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 6】 C P U と、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるものであって、前記メモリ部へのテスト信号の印加制御をB I S T 回路により行わせ、前記ロジック部の動作制御を前記C P U により行わせるようにしたことを特徴とする半導体集積回路のテスト装置。

【請求項 7】 メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部にスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにしたことを特徴とする半導体集積回路のテスト装

置。

【請求項 8】 前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたことを特徴とする請求項 7 に記載の半導体集積回路のテスト装置。

10 【請求項 9】 前記メモリ部へのテスト信号の印加制御をB I S T 回路により行わせるようにしたことを特徴とする請求項 7 または請求項 8 に記載の半導体集積回路のテスト装置。

【請求項 1 0】 メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加しメモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へ動作信号を供給し前記ロジック部を動作させるようにしたことを特徴とする半導体集積回路のテスト方法。

【請求項 1 1】 前記メモリ部へのテスト信号の印加終了によるテスト終了に応じて、前記ロジック部への動作信号の供給を停止し前記ロジック部の動作を停止するようにしたことを特徴とする請求項 1 0 に記載の半導体集積回路のテスト方法。

【請求項 1 2】 前記メモリ部のテスト実行時における前記ロジック部の動作状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたことを特徴とする請求項 1 0 または請求項 1 1 に記載の半導体集積回路のテスト方法。

【請求項 1 3】 メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加しメモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにしたことを特徴とする半導体集積回路のテスト方法。

【請求項 1 4】 前記メモリ部のテスト実行時における前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたことを特徴とする請求項 1 3 に記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

50 【 0 0 0 1 】

【発明の属する技術分野】この発明は、少なくともメモリとランダムロジックを内蔵した L S I 等の L S I からなる半導体集積回路のテストに関するものである。

【 0 0 0 2 】

【従来の技術】図 6 に従来技術を示す。図 6 は従来技術における半導体集積回路の構成を示すブロック図である。図において、1 はメモリ部、2 はランダムロジックからなるロジック部、3 はセレクト、4 はランダムロジック 2 のデータ入力部、5 はデータ出力部、6 はメモリ 1 のデータ入力部、7 はデータ出力部、1 0 は A S I C からなる L S I、1 1 はメモリテスト入力ピン、1 2 はメモリテスト出力ピンである。

【 0 0 0 3 】メモリ 1 のテスト実行時には、メモリテスト入力ピン 1 1 からテスト信号が印加され、セレクト 3 を介してメモリ 1 に供給される。このメモリテスト実行時には、テスト信号の印加はランダムロジック 2 と分離してメモリ 1 のみ印加されて、ランダムロジック 2 には動作信号が供給されず、ランダムロジック 2 は動作状態にはない。

【 0 0 0 4 】このように、従来技術では、メモリテスト時にランダムロジックを意図的に動作させることはなかった。そのため、メモリがテストされるときは L S I の実使用状態ではなく、実使用で予期せぬ動作不良を起こすことがあった。また、メモリとランダムロジック部のテストが独立して行われていた。そのため、比較的時間のかかるメモリとランダムロジックのスカンテストが独自にテスト時間に加算され、テストコスト増加を招いていた。

【 0 0 0 5 】

【発明が解決しようとする課題】この発明は、メモリ部のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト装置およびテスト方法を得ようとするものである。

【 0 0 0 6 】

【課題を解決するための手段】第 1 の発明に係る半導体集積回路のテスト装置では、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるようにしたものである。

【 0 0 0 7 】第 2 の発明に係る半導体集積回路のテスト装置では、前記メモリ部へのテスト信号の印加終了に応じて、前記ロジック部への動作信号の供給を停止するようにしたものである。

【 0 0 0 8 】第 3 の発明に係る半導体集積回路のテスト装置では、前記ロジック部の動作状態において、前記ロ

ジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたものである。

【 0 0 0 9 】第 4 の発明に係る半導体集積回路のテスト装置では、前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、B I S T 回路により行わせるようにしたものである。

【 0 0 1 0 】第 5 の発明に係る半導体集積回路のテスト装置では、前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、互いに独立した B I S T 回路により、それぞれ行わせるようにしたものである。

【 0 0 1 1 】第 6 の発明に係る半導体集積回路のテスト装置では、C P U と、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるものであって、前記メモリ部へのテスト信号の印加制御を B I S T 回路により行わせ、前記ロジック部の動作制御を前記 C P U により行わせるようにしたものである。

【 0 0 1 2 】第 7 の発明に係る半導体集積回路のテスト装置では、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部にスカンテスト信号を供給し前記ロジック部のスカンテストを実行させるようにしたものである。

【 0 0 1 3 】第 8 の発明に係る半導体集積回路のテスト装置では、前記ロジック部のスカンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたものである。

【 0 0 1 4 】第 9 の発明に係る半導体集積回路のテスト装置では、第 7 または第 8 の発明において、前記メモリ部へのテスト信号の印加制御を B I S T 回路により行わせるようにしたものである。

【 0 0 1 5 】第 1 0 の発明に係る半導体集積回路のテスト方法では、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加し

メモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へ動作信号を供給し前記ロジック部を動作させるようにしたものである。

【0016】第11の発明に係る半導体集積回路のテスト方法では、前記メモリ部へのテスト信号の印加終了によるテスト終了に応じて、前記ロジック部への動作信号の供給を停止し前記ロジック部の動作を停止するようにしたものである。

【0017】第12の発明に係る半導体集積回路のテスト方法では、前記メモリ部のテスト実行時における前記ロジック部の動作状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたものである。

【0018】第13の発明に係る半導体集積回路のテスト方法では、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加しメモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにしたものである。

【0019】第14の発明に係る半導体集積回路のテスト方法では、前記メモリ部のテスト実行時における前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたものである。

【0020】

【発明の実施の形態】実施の形態1. この発明による実施の形態1を、図1について説明する。図1は、実施の形態1における半導体集積回路の構成を示すブロック図である。図において、1はメモリ部、2はランダムロジックからなるロジック部、2aはランダムロジック2の信号入力部、2bはランダムロジック2の信号出力部、3a、3bはセクタ、4はランダムロジック2のデータ入力部、5はランダムロジック2のデータ出力部、6はメモリ1のデータ入力部、7はデータ出力部、8は信号入力ピン、9は信号出力ピン、10はASICからなるLSI、11はメモリテスト入力ピン、12はメモリテスト出力ピンである。

【0021】ASIC:10の通常動作時には、ランダムロジック2の動作信号は、ASIC:10の外部から信号入力ピン8に入力され、ランダムロジック2の信号入力部2aに供給される。ランダムロジック2は、データ信号をデータ出力部5からセクタ3aを介してメモリ部1のデータ入力部6に供給する。メモリ部1は、デ

ータ出力部7からデータ信号をセクタ3bを介してランダムロジック2のデータ入力部4に供給する。ランダムロジック2は、その出力信号を信号出力部2bから信号出力ピン9を介してASIC:10の外部へ導出する。

【0022】メモリ部1のテスト時には、テスト入力信号がメモリテスト入力ピン11から入力され、セクタ3aを介してメモリ部1のデータ入力部6に印加される。ランダムロジック2は、このメモリテスト時におけるテスト入力信号の関係については、メモリ部1と分離され、テスト入力信号の供給を受けないものである。しかしながら、ランダムロジック2は、メモリ部1へのテスト入力信号の印加に応じて、外部から信号入力ピン8を介して動作信号の供給を信号入力部2aに受け、動作状態となる。そして、データ出力部5から出力されるデータ信号を、メモリ部1をバイパスして、セクタ2bを介しランダムロジック2自体のデータ入力部4に供給する。

【0023】このように、メモリ1のテスト時、メモリ1とランダムロジック2は、テスト信号の供給関係では、完全に分離されている。メモリ1への入力テスト信号は、メモリテスト入力ピン11からセクタ3を介して与えられる。メモリ1からの出力信号は、メモリテスト出力ピン12から読み出される。

【0024】ランダムロジック2への入力信号は、信号入力ピン8から与えられる。ランダムロジック2からの出力信号は、信号出力ピン9から読み出される。ランダムロジック2でメモリ1から信号を受けていたデータ入力部4には、ランダムロジック2からメモリ1へ信号を与えていたデータ出力部5からバイパスされた信号が与えられる。

【0025】このランダムロジック2のデータ入力部4を浮かさないようにし、あるいは、固定値にしないことで、ランダムロジック2のテスト効率が向上する。データ入力部4への入力値が固定されると、回路的にまったく信号が動かない領域が存在し、テスト効率が著しく低下する。特に、メモリにおけるデータのバス幅が広い場合に効率が落ちる。

【0026】メモリ1のテストが完了するまで、ランダムロジック2が動作するようにテストプログラムが組まれる。メモリ1へのテスト入力信号の印加が終了し、メモリ1のテストが完了すると、テスト入力信号の印加終了に応じて、ランダムロジック2の信号入力部2aへの外部からの動作信号の供給が停止され、ランダムロジック2は動作を停止する。

【0027】この発明による実施の形態1によれば、メモリ部1と、動作信号を受けることにより動作しデータ出力部5からデータ信号を前記メモリ部1に供給するとともにデータ入力部4に前記メモリ部1からデータ信号を受けるロジック部2とを備えた半導体集積回路につい

て前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加するとともに、前記ロジック部 2 に動作信号を供給し前記ロジック部 2 を動作させるようにし、しかも、前記メモリ部 1 へのテスト信号の印加終了に応じて、前記ロジック部 2 への動作信号の供給を停止するようにしたので、メモリ部 1 へのテスト信号の印加状態に応じてロジック部 2 の動作を的確に行い、メモリ部 1 のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 2 8 】 また、この発明による実施の形態 1 によれば、前記ロジック部 2 の動作状態において、前記ロジック部 2 のデータ出力部 5 から前記メモリ部 1 へのデータ信号を前記ロジック部 2 のデータ入力部 4 へバイパスさせるようにしたので、メモリ部 1 のテスト実行時に、ロジック部 2 のデータ入力部 4 へ供給されるデータ信号を実使用状態と同様の状態にすることができ、メモリ部 1 のテストを半導体集積回路の実使用状態で一層適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 2 9 】 さらに、この発明による実施の形態 1 によれば、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路について前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加しメモリ部 1 のテストを実行するとともに、前記メモリ部 1 のテスト実行時に前記ロジック部 2 へ動作信号を供給し前記ロジック部 2 を動作させるようにし、しかも、前記メモリ部 1 へのテスト信号の印加終了によるテスト終了に応じて、前記ロジック部 2 への動作信号の供給を停止し前記ロジック部 2 の動作を停止するようにしたので、メモリ部 1 へのテスト信号の印加状態に応じてロジック部 2 を的確に動作させ、メモリ部 1 のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【 0 0 3 0 】 そして、この発明による実施の形態 1 によれば、前記メモリ部 1 のテスト実行時における前記ロジック部 2 の動作状態において、前記ロジック部 2 のデータ出力部 5 から前記メモリ部 1 へのデータ信号を前記ロジック部 2 のデータ入力部 4 へバイパスさせるようにしたので、ロジック部 2 のデータ入力部 4 へ供給されるデータ信号を実使用状態と同様の状態にしてメモリ部 1 のテストを実行することができ、メモリ部 1 のテストを半導体集積回路の実使用状態で一層適切に行える半導体集積回路のテスト方法を得ることができる。

【 0 0 3 1 】 実施の形態 2. この発明による実施の形態 2 を、図 2 について説明する。図 2 は、実施の形態 2 における半導体集積回路の構成を示すブロック図である。図において、1 はメモリ部、2 はランダムロジックから

なるロジック部、2 a はランダムロジック 2 の信号入力部、3 a、3 b はセクタ、4 はランダムロジック 2 のデータ入力部、5 はランダムロジック 2 のデータ出力部、6 はメモリ 1 のデータ入力部、7 はデータ出力部、1 0 は A S I C からなる L S I、1 3 はメモリ B I S T 回路、1 4 はロジック B I S T 回路、1 5 は T A P コントローラ、1 6 はメモリテスト入力ピン、1 7 はメモリテスト出力ピンである。

【 0 0 3 2 】 メモリ B I S T 回路 1 3 は、メモリ部 1 へのテスト信号の印加を制御するためのものであって、B I S T ( B u i l t - i n S e l f t e s t ) 回路によって構成されている。ロジック B I S T 回路 1 4 は、ランダムロジック 1 への動作信号の印加を制御するためのものであって、メモリ B I S T 回路 1 3 と独立して構成され、同様に B I S T ( B u i l t - i n S e l f t e s t ) 回路によって構成されている。T A P コントローラ ( T A P C : T A P C o n t r o l l e r ) 1 5 は、J T A G 規格に適合するテスト・アクセス用ポート・コントローラであり、メモリ B I S T 回路 1 3 およびロジック B I S T 回路 1 4 をそれぞれ駆動する。

【 0 0 3 3 】 A S I C : 1 0 の通常動作時には、図 1 に示す実施の形態 1 における同様に、ランダムロジック 2 の動作信号は、A S I C : 1 0 の外部から信号入力ピン ( 図示せず ) に入力され、ランダムロジック 2 の信号入力部 2 a に供給される。ランダムロジック 2 は、データ信号をデータ出力部 5 からセクタ 3 a を介してメモリ部 1 のデータ入力部 6 に供給する。メモリ部 1 は、データ出力部 7 からデータ信号をセクタ 3 b を介してランダムロジック 2 のデータ入力部 4 に供給する。ランダムロジック 2 は、その出力信号を信号出力部 2 b から信号出力ピン ( 図示せず ) を介して A S I C : 1 0 の外部へ導出する。

【 0 0 3 4 】 メモリ部 1 のテスト時には、テスト入力信号がメモリテスト入力ピン 1 6 から入力され、T A P コントローラ 1 5 はテスト入力信号に応じてメモリ B I S T 回路 1 3 およびロジック B I S T 回路 1 4 を駆動する。メモリ B I S T 回路 1 3 は T A P コントローラ 1 5 の駆動によりセクタ 3 a を介してメモリ部 1 のデータ入力部 6 にテスト信号を印加する。メモリ部 1 のデータ出力部 7 からのテスト出力信号はメモリ B I S T 回路 1 3 および T A P コントローラ 1 5 へ送られ、テスト出力ピン 1 7 から外部へ導出される。

【 0 0 3 5 】 ランダムロジック 2 は、このメモリテスト時におけるテスト入力信号の関係については、メモリ部 1 と分離され、テスト入力信号の供給を受けないものである。しかしながら、ランダムロジック 2 は、メモリ部 1 へのテスト入力信号の印加に応じて、T A P コントローラ 1 5 の駆動によるロジック B I S T 回路 1 4 の制御によって、動作信号の供給を信号入力部 2 a に受け、動作状態となる。そして、データ出力部 5 から出力される

データ信号を、メモリ部 1 をバイパスして、セクタ 2 b を介しランダムロジック 2 自体のデータ入力部 4 に供給する。

【0036】このように、メモリ 1 のテスト時、メモリ 1 とランダムロジック 2 は、テスト信号の供給関係では、完全に分離されている。メモリ 1 への入力テスト信号は、メモリ BIST 回路 13 から与えられる。メモリ 1 からのテスト出力信号は、メモリ BIST 回路 13 が読み取り、GO/NG 判定やリペアコード生成などを実行する。ランダムロジック 2 への入力信号は、ロジック BIST 回路 14 から与えられる。ロジック BIST 回路 14 は、メモリ 1 のテスト完了をメモリ BIST 回路 13 から受け取り、ランダムロジック 2 へのアクセスを止める。メモリ BIST 回路 13 およびロジック BIST 回路 14 は、このような動作を TAP コントローラ 15 により制御される。

【0037】ランダムロジック 2 でメモリ 1 から信号を受けていたデータ入力部 4 は、ランダムロジック 2 からメモリ 1 へ信号を与えていたデータ出力部 5 からバイパスされた信号が与えられる。

【0038】このランダムロジック 2 のデータ入力部 4 を浮かさないようにし、あるいは、固定値にしないことで、ランダムロジック 2 のテスト効率が向上する。データ入力部 4 への入力値が固定されると、回路的にまったく信号が動かない領域が存在し、テスト効率が著しく低下する。特に、メモリにおけるデータのバス幅が広い場合に効率が落ちる。

【0039】この発明による実施の形態 2 によれば、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路について前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加するとともに、前記ロジック部 2 に動作信号を供給し前記ロジック部 2 を動作させるようにし、しかも、前記メモリ部 1 へのテスト信号の印加終了に応じて、前記ロジック部 2 への動作信号の供給を停止するようにし、かつ、前記メモリ部 1 へのテスト信号の印加制御と、前記ロジック部 2 の動作制御とを、互いに独立したメモリ BIST 回路 13 およびロジック BIST 回路 14 からなる BIST 回路により、それぞれ行わせるようにしたので、メモリ部 1 へのテスト信号の印加状態に応じてロジック部 2 の動作を一層的確に行い、メモリ部 1 のテストを半導体集積回路の実使用状態で更に適切に行える半導体集積回路のテスト装置を得ることができる。

【0040】実施の形態 3. この発明による実施の形態 3 を、図 3 について説明する。図 3 は、実施の形態 3 における半導体集積回路の構成を示すブロック図である。図において、1 はメモリ部、2 はランダムロジックから

なるロジック部、3 a、3 b はセクタ、4 はランダムロジック 2 のデータ入力部、5 はランダムロジック 2 のデータ出力部、6 はメモリ 1 のデータ入力部、7 はメモリ 1 のデータ出力部、10 は ASIC からなる LSI、13 はメモリ BIST 回路、15 は TAP コントローラ、16 はメモリテスト入力ピン、17 はメモリテスト出力ピン、18 は CPU、19 は CPU 制御回路である。

【0041】メモリ BIST 回路 13 は、メモリ部 1 へのテスト信号の印加を制御するためのものであって、BIST (Built-in Self test) 回路によって構成されている。CPU 制御回路 19 は、テスト時には CPU: 18 を制御するものであり、CPU: 18 は、CPU 制御回路 19 による制御によってテスト時におけるランダムロジック 2 の動作を制御する。TAP コントローラ (TAPC: TAP Controller) 15 は、JTAG 規格に適合するテスト・アクセス用ポート・コントローラであり、メモリ BIST 回路 13 および CPU 制御回路 19 をそれぞれ駆動する。

【0042】ASIC: 10 の通常動作時には、ランダムロジック 2 の動作信号は CPU: 18 により制御される。ランダムロジック 2 は、データ信号をデータ出力部 5 からセクタ 3 a を介してメモリ部 1 のデータ入力部 6 に供給する。メモリ部 1 は、データ出力部 7 からデータ信号をセクタ 3 b を介してランダムロジック 2 のデータ入力部 4 に供給する。ランダムロジック 2 は、その出力信号を CPU: 18 へ送る。

【0043】メモリ部 1 のテスト時には、テスト入力信号がメモリテスト入力ピン 16 から入力され、TAP コントローラ 15 はテスト入力信号に応じてメモリ BIST 回路 13 および CPU 制御回路 19 を駆動する。メモリ BIST 回路 13 は TAP コントローラ 15 の駆動によりセクタ 3 a を介してメモリ部 1 のデータ入力部 6 にテスト信号を印加する。メモリ部 1 のデータ出力部 7 からのテスト出力信号はメモリ BIST 回路 13 および TAP コントローラ 15 へ送られ、テスト出力ピン 17 から外部へ導出される。

【0044】ランダムロジック 2 は、このメモリテスト時におけるテスト入力信号の関係については、メモリ部 1 と分離され、テスト入力信号の供給を受けないものである。しかしながら、ランダムロジック 2 は、メモリ部 1 へのテスト入力信号の印加に応じて、TAP コントローラ 15 の駆動による CPU 制御回路 19 および CPU: 18 の制御によって動作状態となる。そして、データ出力部 5 から出力されるデータ信号を、メモリ部 1 をバイパスして、セクタ 2 b を介しランダムロジック 2 自体のデータ入力部 4 に供給する。

【0045】このように、メモリ 1 のテスト時、メモリ 1 とランダムロジック 2 は、テスト信号の供給関係では、完全に分離されている。メモリ 1 への入力テスト信

号は、メモリ BIST 回路 13 から与えられる。メモリ 1 からのテスト出力信号は、メモリ BIST 回路 13 が読み取り、GO/NG 判定やリペアコード生成などを実行する。ランダムロジック 2 への入力信号は、CPU: 18 から与えられる。CPU: 18 は、テスト時には CPU 制御回路 19 により制御される。CPU 制御回路 19 は、メモリ 1 のテスト完了をメモリ BIST 回路 13 から受け取り、CPU: 18 のランダムロジック 2 へのアクセスを止める。メモリ BIST 回路 13 および CPU 制御回路 19 は、このような動作を TAP コントローラ 15 により制御される。

【0046】ランダムロジック 2 でメモリ 1 から信号を受けていたデータ入力部 4 は、ランダムロジック 2 からメモリ 1 へ信号を与えていたデータ出力部 5 からバイパスされた信号が与えられる。

【0047】このランダムロジック 2 のデータ入力部 4 を浮かさないようにし、あるいは、固定値にしないことで、ランダムロジック 2 のテスト効率が向上する。データ入力部 4 への入力値が固定されると、回路的にまったく信号が動かない領域が存在し、テスト効率が著しく低下する。特に、メモリにおけるデータのバス幅が広い場合に効率が落ちる。

【0048】この発明による実施の形態 3 によれば、CPU: 18 と、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加するとともに、前記ロジック部 2 に動作信号を供給し前記ロジック部 1 を動作させるものであって、前記メモリ部 1 へのテスト信号の印加制御をメモリ BIST 回路 13 により行わせ、前記ロジック部 2 の動作制御を前記 CPU: 18 により行わせるようにしたので、CPU を内蔵した半導体集積回路におけるメモリ部 1 のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【0049】実施の形態 4. この発明による実施の形態 4 を、図 4 について説明する。図 4 は、実施の形態 4 における半導体集積回路の構成を示すブロック図である。図において、1 はメモリ部、2 はランダムロジックからなるロジック部、2 a はランダムロジック 2 の信号入力部、2 b はランダムロジック 2 の信号出力部、3 a、3 b はセレクト、4 はランダムロジック 2 のデータ入力部、5 はランダムロジック 2 のデータ出力部、6 はメモリ 1 のデータ入力部、7 はデータ出力部、10 は ASIC からなる LSI、11 はメモリテスト入力ピン、12 はメモリテスト出力ピン、20 はスキャン信号入力ピン、21 はスキャン信号出力ピンである。

【0050】ASIC: 10 の通常動作時には、ランダ

ムロジック 2 の動作信号は、ASIC: 10 の外部から信号入力ピン（図示せず）に入力され、ランダムロジック 2 の信号入力部 2 a に供給される。ランダムロジック 2 は、データ信号をデータ出力部 5 からセレクト 3 a を介してメモリ部 1 のデータ入力部 6 に供給する。メモリ部 1 は、データ出力部 7 からデータ信号をセレクト 3 b を介してランダムロジック 2 のデータ入力部 4 に供給する。ランダムロジック 2 は、その出力信号を信号出力部 2 b から信号出力ピン（図示せず）を介して ASIC: 10 の外部へ導出する。

【0051】メモリ部 1 のテスト時には、テスト入力信号がメモリテスト入力ピン 11 から入力され、セレクト 3 a を介してメモリ部 1 のデータ入力部 6 に印加される。ランダムロジック 2 は、このメモリテスト時におけるテスト入力信号の関係については、メモリ部 1 と分離され、テスト入力信号の供給を受けないものである。しかしながら、ランダムロジック 2 は、メモリ部 1 へのテスト入力信号の印加に応じて、外部からスキャン信号入力ピン 20 を介してスキャンテスト信号の供給を信号入力部 2 a に受け、スキャンテスト動作状態となる。そして、データ出力部 5 から出力されるデータ信号を、メモリ部 1 をバイパスして、セレクト 2 b を介しランダムロジック 2 自体のデータ入力部 4 に供給する。

【0052】このように、メモリ 1 のテスト時、メモリ 1 とランダムロジック 2 は、テスト信号の供給関係では、完全に分離されている。メモリ 1 への入力信号は、メモリテスト入力ピン 11 からセレクト 3 を介して与えられる。メモリ 1 からの出力信号は、メモリテスト出力ピン 12 から読み出される。

【0053】ランダムロジック 2 はスキャンテストが実行される。このテストはメモリ 1 のテストと同時に実行される。ランダムロジック 2 でメモリ 1 から信号を受けていたデータ入力部 4 は、ランダムロジック 2 からメモリ 1 へ信号を与えていたデータ出力部 5 からバイパスされた信号が与えられる。

【0054】このランダムロジック 2 のデータ入力部 4 を浮かさないようにし、あるいは、固定値にしないことで、ランダムロジックのテスト効率が向上する。データ入力部 4 への入力値が固定されると、回路的にまったく信号が動かない領域が存在し、テスト効率が著しく低下する。特に、メモリ 1 におけるデータのバス幅が広い場合に効率が落ちる。スキャンテストを実施するにあたっては、故障検出率向上のためにデータ出力部 5 からデータ入力部 4 へのセレクト 3 b を経由するデータ信号バイパス回路は必須である。

【0055】この発明による実施の形態 4 によれば、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路につい

10

20

30

40

50



て前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加するとともに、前記ロジック部 2 にスキャンテスト信号を供給し前記ロジック部 2 のスキャンテストを実行させるとともに、前記ロジック部 2 のスキャンテスト実行状態において、前記ロジック部 2 のデータ出力部 5 から前記メモリ部 1 のデータ信号を前記ロジック部 2 のデータ入力部 4 へバイパスさせるようにしたので、前記ロジック部 2 のスキャンテストを的確に実行できるとともに、メモリ部 1 のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【0056】また、この発明による実施の形態 4 によれば、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路について前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加しメモリ部 1 のテストを実行するとともに、前記メモリ部 1 のテスト実行時に前記ロジック部 2 へスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにするとともに、前記メモリ部のテスト実行時における前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたので、前記ロジック部 2 のスキャンテストを的確に実行できるとともに、メモリ部 1 のテストを半導体集積回路の実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【0057】実施の形態 5。この発明による実施の形態 5 を、図 5 について説明する。図 5 は、実施の形態 5 における半導体集積回路の構成を示すブロック図である。図において、1 はメモリ部、2 はランダムロジックからなるロジック部、2 a はランダムロジック 2 の信号入力部、2 b はランダムロジック 2 の信号出力部、3 a、3 b はセレクト、4 はランダムロジック 2 のデータ入力部、5 はランダムロジック 2 のデータ出力部、6 はメモリ 1 のデータ入力部、7 はデータ出力部、10 は ASIC からなる LSI、13 はメモリ BIST 回路、15 は TAP コントローラ、16 はテスト入力ピン、17 はテスト出力ピン、20 はスキャン信号入力ピン、21 はスキャン信号出力ピンである。

【0058】メモリ BIST 回路 13 は、メモリ部 1 へのテスト信号の印加を制御するためのものであって、BIST (Built-in Selftest) 回路によって構成されている。TAP コントローラ (TAP C: TAP Controller) 15 は、JTAG 規格に適合するテスト・アクセス用ポート・コントロー

ラであり、メモリ BIST 回路 13 を駆動する。

【0059】ASIC: 10 の通常動作時には、ランダムロジック 2 の動作信号は、ASIC: 10 の外部から信号入力ピン (図示せず) に入力され、ランダムロジック 2 の信号入力部 2 a に供給される。ランダムロジック 2 は、データ信号をデータ出力部 5 からセレクト 3 a を介してメモリ部 1 のデータ入力部 6 に供給する。メモリ部 1 は、データ出力部 7 からデータ信号をセレクト 3 b を介してランダムロジック 2 のデータ入力部 4 に供給する。ランダムロジック 2 は、その出力信号を信号出力部 2 b から信号出力ピン (図示せず) を介して ASIC: 10 の外部へ導出する。

【0060】メモリ部 1 のテスト時には、テスト入力信号がメモリテスト入力ピン 16 から入力され、TAP コントローラ 15 はテスト入力信号に応じてメモリ BIST 回路 13 を駆動する。メモリ BIST 回路 13 は TAP コントローラ 15 の駆動によりセレクト 3 a を介してメモリ部 1 のデータ入力部 6 にテスト信号を印加する。メモリ部 1 のデータ出力部 7 からのテスト出力信号はメモリ BIST 回路 13 および TAP コントローラ 15 へ送られ、テスト出力ピン 17 から外部へ導出される。

【0061】ランダムロジック 2 は、このメモリテスト時におけるテスト入力信号の関係については、メモリ部 1 と分離され、テスト入力信号の供給を受けないものである。しかしながら、ランダムロジック 2 は、メモリ部 1 へのテスト入力信号の印加に応じて、外部からスキャン信号入力ピン 20 を介してスキャンテスト信号の供給を信号入力部 2 a に受け、スキャンテスト動作状態となる。そして、データ出力部 5 から出力されるデータ信号を、メモリ部 1 をバイパスして、セレクト 2 b を介してランダムロジック 2 自体のデータ入力部 4 に供給する。

【0062】このように、メモリ 1 のテスト時、メモリ 1 とランダムロジック 2 は、テスト信号の供給関係では、完全に分離されている。メモリ 1 への入力信号は、メモリテスト入力ピン 11 からセレクト 3 を介して与えられる。メモリ 1 からの出力信号は、メモリテスト出力ピン 12 から読み出される。

【0063】ランダムロジック 2 はスキャンテストが実行される。このテストはメモリ 1 のテストと同時に実行される。ランダムロジック 2 でメモリ 1 から信号を受けていたデータ入力部 4 は、ランダムロジック 2 からメモリ 1 へ信号を与えていたデータ出力部 5 からバイパスされた信号が与えられる。

【0064】このランダムロジック 2 のデータ入力部 4 を浮かさないようにし、あるいは、固定値にしないことで、ランダムロジックのテスト効率が向上する。データ入力部 4 への入力値が固定されると、回路的にまったく信号が動かない領域が存在し、テスト効率が著しく低下する。特に、メモリ 1 におけるデータのバス幅が広い場合に効率が落ちる。スキャンテストを実施するにあつ

ては、故障検出率向上のためにデータ出力部 5 からデータ入力部 4 へのセクタ 3 b を経由するデータ信号バイパス回路は必須である。

【 0 0 6 5 】この発明による実施の形態 5 によれば、メモリ部 1 と、動作信号を受けることにより動作しデータ出力部 5 からデータ信号を前記メモリ部 1 に供給するとともにデータ入力部 4 に前記メモリ部 1 からデータ信号を受けるロジック部 2 とを備えた半導体集積回路について前記メモリ部 1 のテストを行うものにおいて、前記メモリ部 1 に前記ロジック部 2 と分離してテスト信号を印加するとともに、前記ロジック部 2 にスキャンテスト信号を供給し前記ロジック部の 2 スキャンテストを実行させるとともに、前記ロジック部 2 のスキャンテスト実行状態において、前記ロジック部 2 のデータ出力部 5 から前記メモリ部 1 へのデータ信号を前記ロジック部 2 のデータ入力部 4 へバイパスさせるようにし、かつ、前記メモリ部 1 へのテスト信号の印加制御をメモリ B I S T 回路 1 3 により行わせるようにしたので、前記ロジック部 2 のスキャンテストを的確に実行できるとともに、メモリ部 1 のテストを半導体集積回路の実使用状態で一層適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 6 6 】以上のように、この発明による実施の形態によれば、メモリテスト時にランダムロジックを意図的に動作させているので、そのため、メモリがテストされるときは L S I の実使用状態に近い状態であり、実使用で予期せぬ動作不良を未然に防ぐことができる。また、メモリテストとランダムロジック部のスキャンテストが同時に行われるためテスト時間の短縮、テストコスト低減を図ることができる。

【 0 0 6 7 】

【発明の効果】第 1 の発明によれば、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるようにしたので、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 6 8 】第 2 の発明によれば、前記メモリ部へのテスト信号の印加終了に応じて、前記ロジック部への動作信号の供給を停止するようにしたので、ロジック部への動作信号を的確に供給して、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 6 9 】第 3 の発明によれば、前記ロジック部の動作状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入

力部へバイパスさせるようにしたので、ロジック部へのデータ入力を的確に保持して、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 7 0 】第 4 の発明によれば、前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、B I S T 回路により行わせるようにしたので、B I S T 回路による制御により、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 7 1 】第 5 の発明によれば、前記メモリ部へのテスト信号の印加制御と、前記ロジック部の動作制御とを、互いに独立した B I S T 回路により、それぞれ行わせるようにしたので、互いに独立した B I S T 回路によるメモリ部およびロジック部の動作制御により、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 7 2 】第 6 の発明によれば、C P U と、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部に動作信号を供給し前記ロジック部を動作させるものであって、前記メモリ部へのテスト信号の印加制御を B I S T 回路により行わせ、前記ロジック部の動作制御を前記 C P U により行わせるようにしたので、B I S T 回路および C P U によるメモリ部およびロジック部の動作制御により、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 7 3 】第 7 の発明によれば、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加するとともに、前記ロジック部にスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにしたので、メモリ部のテスト時におけるロジック部のスキャンテスト実行により、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【 0 0 7 4 】第 8 の発明によれば、前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたので、ロジック部のスキャンテスト実行状態にロジック部へのデータ入力を的確に保持することにより、メモリ部のテ

10

20

30

40

50

ストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【0075】第9の発明によれば、第7または第8の発明において、前記メモリ部へのテスト信号の印加制御をBIST回路により行わせるようにしたので、BIST回路による制御により、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト装置を得ることができる。

【0076】第10の発明によれば、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離してテスト信号を印加しメモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へ動作信号を供給し前記ロジック部を動作させるようにしたので、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【0077】第11の発明によれば、前記メモリ部へのテスト信号の印加終了によるテスト終了に応じて、前記ロジック部への動作信号の供給を停止し前記ロジック部の動作を停止するようにしたので、ロジック部への動作信号を的確に供給して、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【0078】第12の発明によれば、前記メモリ部のテスト実行時における前記ロジック部の動作状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたので、ロジック部へのデータ入力を的確に保持して、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【0079】第13の発明によれば、メモリ部と、動作信号を受けることにより動作しデータ出力部からデータ信号を前記メモリ部に供給するとともにデータ入力部に前記メモリ部からデータ信号を受けるロジック部とを備えた半導体集積回路について前記メモリ部のテストを行うものにおいて、前記メモリ部に前記ロジック部と分離

してテスト信号を印加しメモリ部のテストを実行するとともに、前記メモリ部のテスト実行時に前記ロジック部へスキャンテスト信号を供給し前記ロジック部のスキャンテストを実行させるようにしたので、メモリ部のテスト時にロジック部のスキャンテストを実行させることにより、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

【0080】第14の発明によれば、前記メモリ部のテスト実行時における前記ロジック部のスキャンテスト実行状態において、前記ロジック部のデータ出力部から前記メモリ部へのデータ信号を前記ロジック部のデータ入力部へバイパスさせるようにしたので、ロジック部のスキャンテスト実行状態におけるロジック部へのデータ入力を的確に保持して、メモリ部のテストを実使用状態で適切に行える半導体集積回路のテスト方法を得ることができる。

#### 【図面の簡単な説明】

【図1】 この発明による実施の形態1における半導体集積回路の構成を示すブロック図である。

【図2】 この発明による実施の形態2における半導体集積回路の構成を示すブロック図である。

【図3】 この発明による実施の形態3における半導体集積回路の構成を示すブロック図である。

【図4】 この発明による実施の形態4における半導体集積回路の構成を示すブロック図である。

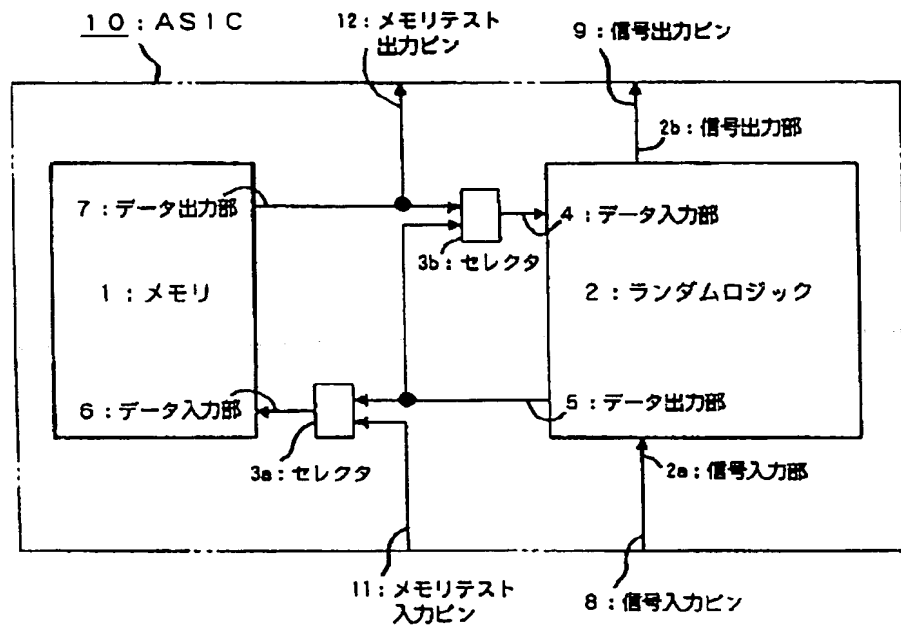
【図5】 この発明による実施の形態5における半導体集積回路の構成を示すブロック図である。

【図6】 従来の技術における半導体集積回路の構成を示すブロック図である。

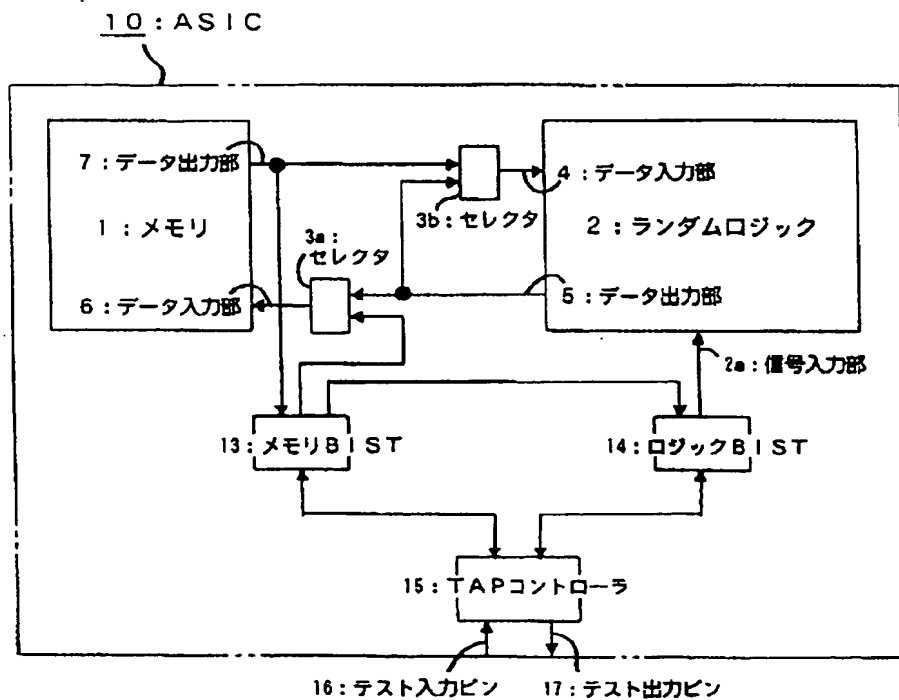
#### 【符号の説明】

1 メモリ部、2 ランダムロジックからなるロジック部、2a 信号入力部、2b 信号出力部、3a、3b セレクタ、4 データ入力部、5 データ出力部、6 データ入力部、7 データ出力部、10 ASICからなるLSI、11 メモリテスト入力ピン、12 メモリテスト出力ピン、13 メモリBIST回路、14 ロジックBIST回路、15 TAPコントローラ、16 テスト入力ピン、17 テスト出力ピン、18 CPU、19 CPU制御回路、20 スキャン信号入力ピン、21 スキャン信号出力ピン。

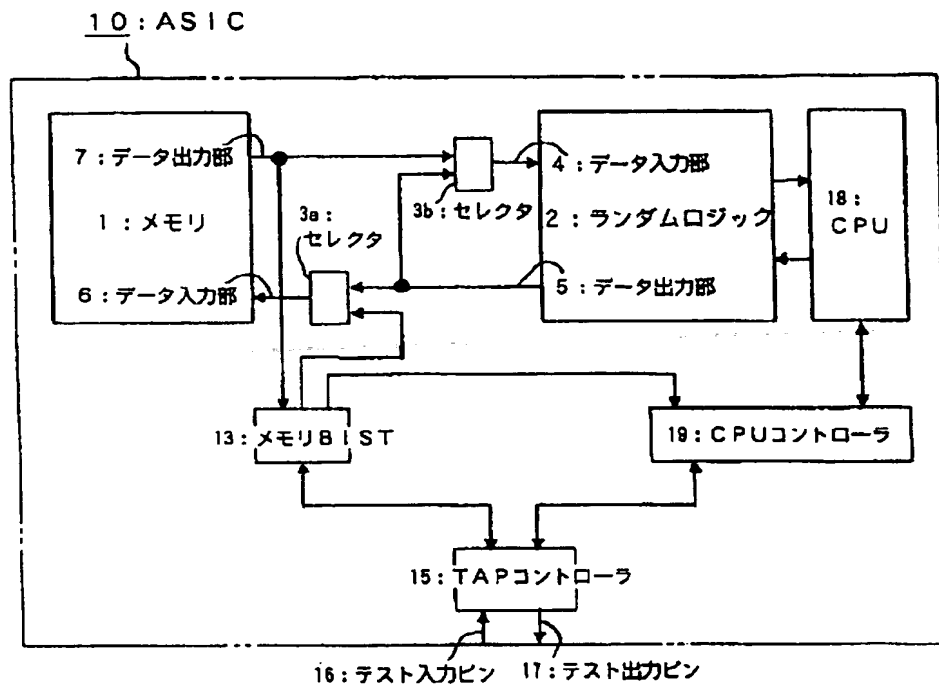
【図 1】



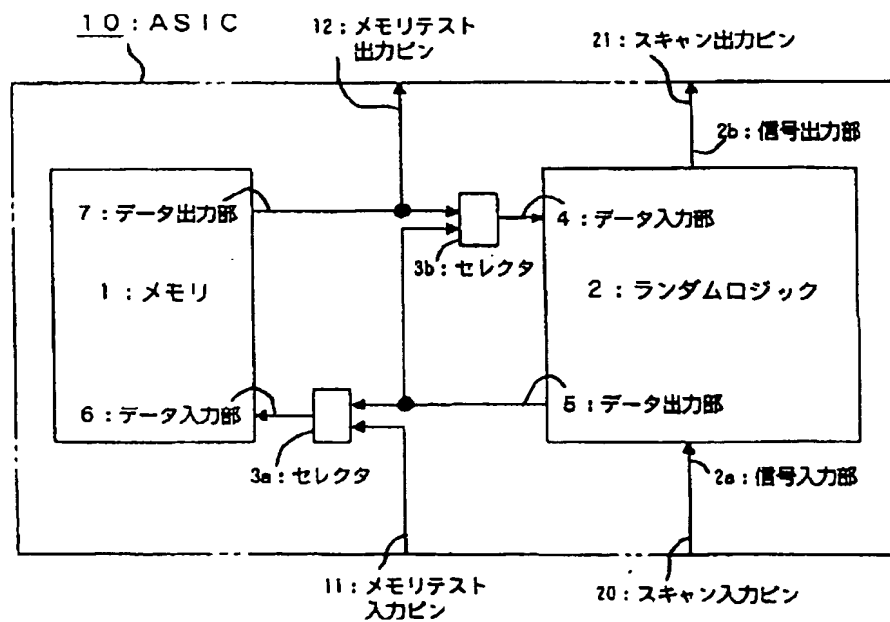
【図 2】



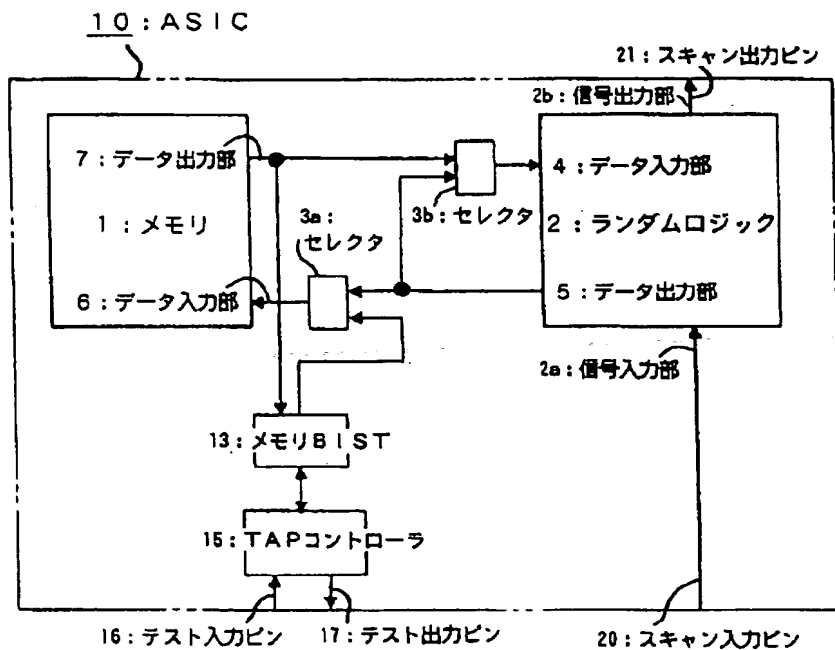
【図 3】



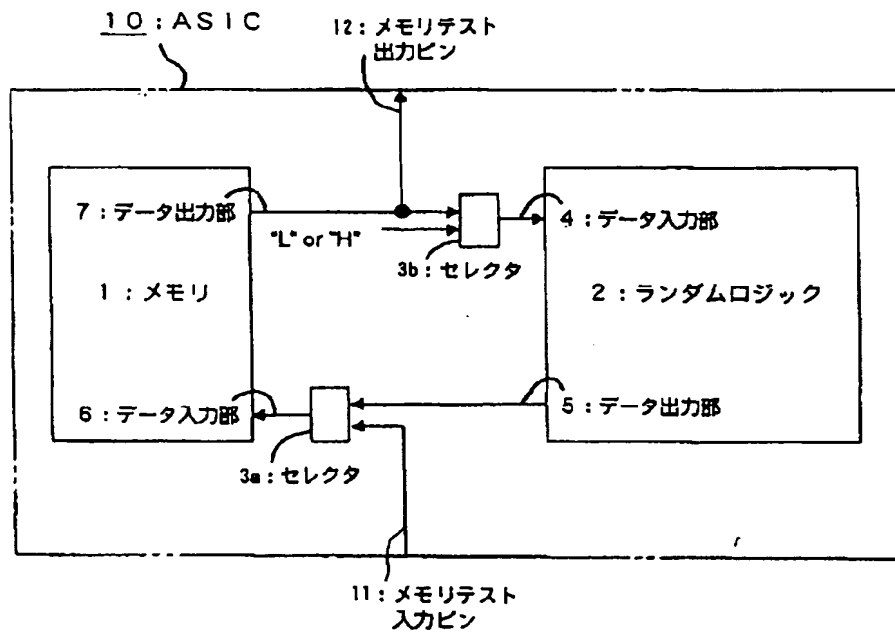
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H01L 27/04  
21/822

識別記号

FI

G01R 31/28  
H01L 27/04

テーマコード (参考)

Q  
T

F ターム(参考) 2G032 AA01 AA03 AA07 AB01 AC10  
AE12 AG09 AH07 AK11  
5B018 JA23  
5B062 AA08 JJ05  
5F038 DF04 DF05 DT02 DT04 DT06  
DT08 EZ20  
5L106 DD21

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**